

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Kenji MARUYAMA

Serial Number: Not Yet Assigned

Filed: November 24, 2003

Customer No.: 38834

For: CAPACITOR, SEMICONDUCTOR DEVICE, AND METHOD OF MANUFACTURING
THE SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

November 24, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-358093, filed on December 10, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 032125
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/ll

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月10日
Date of Application:

出願番号 特願2002-358093
Application Number:

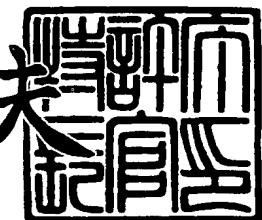
[ST. 10/C] : [JP 2002-358093]

出願人 富士通株式会社
Applicant(s):

2003年8月29日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 0241009
【提出日】 平成14年12月10日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H01L 27/10 421
【発明の名称】 容量素子、半導体装置およびその製造方法
【請求項の数】 10
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 丸山 研二
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100070150
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階
【弁理士】
【氏名又は名称】 伊東 忠彦
【電話番号】 03-5424-2511
【手数料の表示】
【予納台帳番号】 002989
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量素子、半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 強誘電体膜と、該強誘電体膜を挟む一対の電極とよりなる容量素子であって、

前記強誘電体膜の分極軸方向に垂直に前記一対の電極が設けられていることを特徴とする容量素子。

【請求項 2】 前記一対の電極が平板であり、かつ互いに略平行であることを特徴とする請求項 1 記載の容量素子。

【請求項 3】 半導体基板と、前記半導体基板上に強誘電性を有する強誘電体膜と前記強誘電体膜を挟む一対の電極とよりなる容量素子とを有する半導体装置であって、

前記強誘電体膜の分極軸方向に垂直に前記一対の電極が設けられていることを特徴とする半導体装置。

【請求項 4】 前記強誘電体膜はエピタキシャル膜であることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記強誘電体膜はペロブスカイト構造、ビスマス層状構造、タンゲステンブロンズ構造を有することを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 6】 強誘電性を有する強誘電体膜と、該強誘電体膜を挟む一対の電極とよりなる容量素子を備えた半導体装置の製造方法であって、

第 1 の基板に強誘電性を有する強誘電体膜を堆積する工程と、

前記強誘電体膜を研削し、一対の電極を形成して前記容量素子を形成する工程と、

前記第 1 の基板表面及び容量素子を覆う第 1 の層間絶縁膜を形成する工程と、

第 2 の基板にゲート電極及び拡散領域よりなるトランジスタを形成する工程と、

前記第 2 の基板表面及びトランジスタを覆う第 2 の層間絶縁膜を形成する工程

と、

第1及び第2の層間絶縁膜の表面を化学的機械研磨により平坦化する工程と、
第1及び第2の層間絶縁膜の表面を貼り合わせて第1の基板と第2の基板とを
一体化する工程と、

第1の基板を除去する工程とを備えた半導体装置の製造方法。

【請求項7】 前記容量素子を形成する工程において、前記一対の電極を前記強誘電体膜の分極軸に垂直に形成することを特徴する請求項6記載の半導体装置の製造方法。

【請求項8】 前記第1の基板は、(100)面または(010)を正面とする単結晶基板であることを特徴とする請求項6または7記載の半導体装置の製造方法。

【請求項9】 前記第1の基板は、MgO、SrTiO₃、 α -Al₂O₃、及びMgAl₂O₄の群のうち1種よりなる単結晶基板であることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記第1の基板上に更にバッファ層が形成され、
前記第1の基板がSi基板よりなり、
前記バッファ層がMgO層、イットリウム安定化ZrO₂層、SrTiO₃層、
MgAl₂O₄層及びCaO層の群のうちいずれか1種よりなることを特徴とする
請求項6～8のうち、いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量素子、その容量素子を備えた半導体装置およびその製造方法に
関し、特に強誘電体を誘電体に用いた容量素子を備えた不揮発性の半導体記憶装
置に関する。

【0002】

【従来の技術】

半導体装置、特に半導体メモリには様々な特徴を有するものがあるが、半導体
メモリに保持されている情報が電源オフ時に消失してしまう揮発性メモリと、保

持される不揮発性メモリ（nonvolatile memory）に大別される。不揮発性メモリの中でも強誘電体を誘電体として用いたキャパシタにデータが保持されるメモリは強誘電体メモリ（Ferroelectric random access memory (FRAM (登録商標))）と呼ばれている。

【0003】

FRAMは、強誘電体の極性の異なる2つの残留分極特性を利用しており、電源をオフしてキャパシタの電界が印加されない状態でもデータが保持される。FRAMは、データの書き換え回数が10¹⁰～10¹²回とフラッシュメモリの10⁶回と比べて大きく上回り、書き換え速度は数10nsのオーダであり高速性を有している。

【0004】

FRAMにおいては、キャパシタの誘電体の材料である強誘電体は、電界が印加されることにより2つの方向のうちの一方に分極され、電界を取り去ってもその方向に分極された状態になる。分極方向を区別することにより、一方の分極方向に対応する“1”、他方の分極方向に対応する“0”のデータを記録することができる。また、分極方向と逆方向の十分な電界を与えることにより、分極の方向を切り替えることができる。

【0005】

強誘電体の代表的なものとしては、鉛系強誘電体、ビスマス系強誘電体が挙げられる。鉛系強誘電体のうち代表的なものとしては、 $Pb_{1-x}Ti_xO_3$ ($0 \leq x \leq 1$) (PZT)、 $Pb_{1-y}La_yZr_{1-x}Ti_xO_3$ ($0 \leq x, y \leq 1$) (PLZT)、またビスマス系強誘電体のうち代表的なものとしては、 $SrBiTa_2O_9$ (SBT) が挙げられる。

【0006】

一般的にPZT等は、分極反転を繰り返していくうちに残留分極が小さくなり、特性の劣化（疲労現象）を引き起こす。一方これらの強誘電体を用いたFRAMはICカード等の個人情報やマネー情報を扱う機器に使用されるため、極めて信頼性が高いことが必要である。想定されている耐用年数10年を実現するためには、残留分極電荷量がより大であることが望まれる。

【0007】

【特許文献1】

特開平11-103024号公報

【0008】

【特許文献2】

特開2001-102543号公報

【0009】

【特許文献3】

特許第2738012号公報

【0010】

【特許文献4】

特許第2584639号公報

【0011】

【発明が解決しようとする課題】

しかしながら、従来のスパッタ法、ゾルーゲル法などにより作製した強誘電体キヤパシタでは、残留分極電荷量が $20 \sim 25 \mu C/cm^2$ のものが大半を占め、製品に必要とされる $30 \mu C/cm^2$ を満たす強誘電体キヤパシタは数十%しか得られていない。図1は、従来のF R A Mの強誘電体キヤパシタの構成を示す図である。図1に示すように、強誘電体キヤパシタ100は、例えばトランジスタの拡散領域に接続されたコンタクトプラグ等の上に、下部電極のP t膜101、強誘電体膜のP Z T膜102、上部電極のP t膜103が順次積層された構造となっている。下部電極のP t膜101は自己配向性により膜厚方向に[111]が配向し、その上に形成されたP Z T膜102はP t膜101の配向に影響されて[111]に配向する。P Z T膜102の分極軸方向は[001]であるので、下部電極のP t膜101と上部電極のP t膜103との間に印加される電界の方向とP Z T膜102の分極軸方向は異なり、残留分極として利用できる電荷量がおのずと減少してしまうという問題点がある。

【0012】

そこで、本発明は上記の問題点に鑑みてなされたもので、本発明の目的は、よ

り大きな残留分極電荷量が得られる容量素子、及びその容量素子を備えた信頼性の高い半導体装置及びその製造方法を提供することである。

【0013】

【課題を解決するための手段】

本発明の一観点によれば、強誘電体膜と、該強誘電体膜を挟む一対の電極とよりなる容量素子であって、前記強誘電体膜の分極軸方向に垂直に前記一対の電極が設けられている容量素子が提供される。

【0014】

本発明によれば、容量素子は強誘電体膜の分極軸方向に電極が設けられている。したがって、強誘電体膜の最大の残留分極の電荷量を取り出すことができる。

【0015】

前記一対の電極が平板であり、かつ互いに略平行であってもよい。分極軸方向に垂直で、平板の一対の電極が略平行に設けられているので、残留分極の最大電荷量を確実に取り出すことができる。

【0016】

本発明の他の観点によれば、半導体基板と、前記半導体基板上に強誘電性を有する強誘電体膜と前記キャパシタ強誘電体膜を挟む一対の電極とよりなる容量素子とを有する半導体装置であって、前記キャパシタ強誘電体膜の分極軸方向に垂直に前記一対の電極が設けられている半導体装置が提供される。

【0017】

本発明によれば、容量素子はキャパシタ強誘電体膜の分極軸方向に電極が設けられている。したがって、強誘電体膜の最大の残留分極を取り出すことができる。ので、残留分極の電荷量の劣化に対して耐性があり、かつ情報の読み出す際の信号対雑音比が大きいので、信頼性を向上することができる。

【0018】

前記強誘電体膜はエピタキシャル膜であってもよい。ここで、エピタキシャル膜は、一般に、単結晶基板上に基板結晶と同じ方位関係を持って形成された膜である。したがって、エピタキシャル膜は、成長方向の結晶配向性のみならず、面内の方方位の結晶配向性を有している。

【0019】

本発明のその他の観点によれば、強誘電性を有する強誘電体膜と、該強誘電体膜を挟む一対の電極とよりなる容量素子を備えた半導体装置の製造方法であって、第1の基板に強誘電性を有する強誘電体膜を堆積する工程と、前記強誘電体膜を研削し、一対の電極を形成して前記容量素子を形成する工程と、前記第1の基板表面及び容量素子を覆う第1の層間絶縁膜を形成する工程と、第2の基板にゲート電極及び拡散領域よりなるトランジスタを形成する工程と、前記第2の基板表面及びトランジスタを覆う第2の層間絶縁膜を形成する工程と、第1及び第2の層間絶縁膜の表面を化学的機械研磨により平坦化する工程と、第1及び第2の層間絶縁膜の表面を貼り合わせて第1の基板と第2の基板とを一体化する工程と、第1の基板を除去する工程とを備えた半導体装置の製造方法が提供される。

【0020】

本発明によれば、容量素子の強誘電体膜は単結晶基板上に形成されるので、エピタキシャル成長させることができ、結晶方位の定まった結晶質の良好な強誘電体膜を形成することができる。また、半導体装置のトランジスタとは独立した工程により容量素子を形成するので、容量素子の形成条件、例えば温度条件の許容範囲を広く確保でき、より良質な結晶性を有する強誘電体膜を形成することができる。その結果、半導体装置の信頼性を向上することができる。

【0021】

前記容量素子を形成する工程において、前記一対の電極を前記強誘電体膜の分極軸に垂直に形成してもよい。強誘電体膜の分極軸方向に一対の電極が設けられるので、強誘電体膜の最大の残留分極を取り出すことができる。

【0022】

前記第1の基板は、(100)面または(010)を主面とする単結晶基板であり、MgO、SrTiO₃、及びMgAl₂O₄の群のうち1種より選択されてもよい。このような単結晶基板を用いることにより強誘電体膜をエピタキシャル成長により形成することができる。

【0023】

前記第1の基板上に更にバッファ層が形成され、前記第1の基板がSi基板よ

りなり、前記バッファ層がMgO層、イットリウム安定化ZrO₂層、SrTiO₃層、MgAl₂O₄層及びCaO層の群のうちいずれか1種選択されてもよい。Si基板を用いることにより、安価で大面積の基板を用いることができるので、製造コストを低減することができる。また、バッファ層を設けているので、強誘電体膜とSi基板との格子不整合を低減し、より良質な結晶性を有するエピタキシャル膜の強誘電体膜が得られる。

【0024】

以下、本発明の原理を簡単に説明する。

【0025】

強誘電体キャパシタの強誘電体膜に、ペロブスカイト構造の酸化物を用いた場合を例に説明する。ペロブスカイト構造の酸化物は一般式ABO₃で表される。図2は、ペロブスカイト構造を示す図である。図2に示すように、理想的なペロブスカイト構造は、単位格子が立方体であり、Aイオンが頂点、Bイオンが体心、Oイオンが面心に配置されている。この構造は、大きなAイオンとOイオンが立方最密充填構造をとっている。その隙間に小さなBイオンが入った構造となっている。酸化物がPZTの場合は、AイオンがPb²⁺、BイオンがZr⁴⁺、Ti⁴⁺であり、強誘電体の自発分極の原因は、小さく動きやすいBイオンの非対称な変位によるものであり、外部からの電界により反転させることが可能である。Bイオンは[001]方向に最も変位しやすいので、[001]方向の残留分極が最も大きくなる。したがって、強誘電体キャパシタの電極を強誘電体膜の[001]方向に垂直に、すなわち(001)面上に設ければ、最も大きな残留分極を信号電荷量として取り出せることになる。

【0026】

図3は本発明の原理を説明する図である。図3を参照するに、例えばMgOの単結晶基板10の(100)面上にPZT膜などの強誘電体膜11をエピタキシャル成長させると、強誘電体膜11は(100)面が成長する。したがって、強誘電体膜11は、成長方向と垂直に[001]方向を有するので、エッチング等によって2つの(001)面を露出させ、導電材をスパッタ法などにより堆積させて電極12を形成することにより、分極軸方向([001]方向)に垂直な電

極を有する強誘電体キャパシタ 13 が形成される。したがって、強誘電体キャパシタ 13 は、最も大きな残留分極を取り出すことができる。

【0027】

本発明ではさらに、このように単結晶基板上に形成された強誘電体キャパシタをトランジスタ等が形成されたシリコン基板上に配置するために、これらを貼り合わせて、単結晶基板を除去することにより、トランジスタ基板上に強誘電体キャパシタを配置する。

【0028】

ところで、トランジスタ等が形成されたシリコン基板上に P Z T などの強誘電体膜をエピタキシャル成長させることも考えられるが、シリコン基板表面あるいは、シリコン基板表面に形成されたシリコン酸化膜（非晶質、多結晶体に限定されず）上に、強誘電体膜の [001] 方向をシリコン基板の主面に平行に形成することができない。すなわち、強誘電体膜の (001) 面を露出させ、その面に電極を設けることができない。一方、シリコン基板上にマグネシアスピネル等のバッファ層をエピタキシャル成長させて、その上に強誘電体膜を成長させることができると、バッファ層の形成には 900°C 以上の高温に加熱する必要があり、この加熱によりトランジスタの拡散領域の不純物分布等が変化してしまう等の支障が生じてしまう。

【0029】

したがって、本発明は上述したように予め単結晶基板に強誘電体キャパシタを形成して、半導体装置となるシリコン基板と貼り合わせて強誘電体キャパシタを配置する構成としたものである。

【0030】

【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態を説明する。

(第 1 の実施の形態)

図 4 は、本発明の実施の形態に係る F R A M の等価回路の一例を示す図である。図 4 を参照するに、メモリセルは 1 ビットの情報を記録するのに 2 つのトランジスタ T₁、T₂ と 2 つの強誘電体キャパシタ C₁、C₂ を使う、い

わゆる2T2C型の構成を有し、一方の強誘電体キャパシタに情報“0”を他方の強誘電体キャパシタに情報“1”を記憶させる相補的動作を行う。具体的には、情報の書き込み動作は、ワード線WLによりトランスマートランジスタT₁、T₂をターンオンして、ビット線BLに情報“0”あるいは“1”を、相補的なビット線／BLに情報“1”あるいは“0”を入力すると、強誘電体キャパシタC₁、C₂にそれぞれ相補的な情報が書き込まれることにより行われる。これらの情報は強誘電体キャパシタの誘電膜の分極方向として保持される。また、情報の読み出し動作は、ワード線WLによりトランスマートランジスタT₁、T₂をターンオンすると、強誘電体キャパシタC₁、C₂の残留分極による電圧がビット線BL及び相補的なビット線／BLに印加され、センスアンプ15においてビット線BLと相補的なビット線／BLとの電圧の差が検出され、強誘電体キャパシタC₁、C₂に記憶されている情報が読み出されることにより行われる。

【0031】

図5は、本発明の実施の形態に係るFRAMの断面図である。図5は、図4に示す1つのメモリセル14のうちのビットラインBLに沿った1つの強誘電体キャパシタC₁及び1つのトランスマートランジスタT₁（以下単に「トランジスタ」という。）を示している。

【0032】

図5を参照するに、本発明の実施の形態に係るFRAM20は、半導体基板41と、半導体基板41に形成され、ワード線となるゲート電極43及ソース／ドレイン領域44よりなるトランジスタT₁と、半導体基板41及びトランジスタT₁を覆う層間絶縁膜48と、層間絶縁膜48上に設けられた層間絶縁膜27と、層間絶縁膜27中に形成され、強誘電体膜22が電極25A、25Bに挟まれた強誘電体キャパシタ26、ソース／ドレイン領域44と電極25Aを接続するコンタクトプラグ52及びビアプラグ32と、電極25Bとプレーナ線68とを接続するビアプラグ61、68と、ソース／ドレイン領域45とビット線72とを接続するコンタクトプラグ53及びビアプラグ33、62、69などにより構成されている。

【0033】

半導体基板41は、公知のシリコン基板等が用いられる。半導体基板41中には、素子分離膜42がSTIまたはLOCOS等などにより形成され、素子領域47が画成される。素子領域47には、ソース／ドレイン領域44、45や、ゲート酸化膜43Aを介してワード線としてのゲート電極43が側壁絶縁膜43Bなどにより覆われてトランジスタT1が形成されている。なお、ワード線としてのゲート電極43は紙面に垂直方向に延在している。

【0034】

強誘電体キャパシタ26は、その一方の電極25AがトランジスタT1のソース／ドレイン領域44にビアプラグ32及びコンタクトプラグ52を介して接続され、他方の電極25Bはプレーナ線68にビアプラグ61を介して接続されている。強誘電体キャパシタ26は、2つの電極25A、25Bに挟まれた強誘電体膜22から構成され、強誘電体膜22に接する電極25A、25Bの面に垂直な方向が、半導体基板41の主面に平行になるように配置されている。強誘電体膜の形成方法の詳細は後述するが、強誘電体膜22は半導体基板41とは別の単結晶基板上（図6（A）などにおいて示す。）に形成されたものである。単結晶基板は、例えば（100）面を主面とするMgO単結晶基板であり、強誘電体膜22は単結晶基板上にエピタキシャル成長されたものである。

【0035】

さらに、強誘電体膜22の分極軸方向に対して、電極25A、25Bは垂直に設けられている。例えば、強誘電体膜22がペロブスカイト構造を有する酸化物の場合は、分極軸は[001]方向であるので、電極25A、25Bを[001]方向に対して垂直、すなわち（001）面に設けられる。

【0036】

強誘電体膜22は、例えばペロブスカイト構造、ビスマス層状構造、タンゲステンブロンズ構造を有する結晶を用いることができる。ペロブスカイト構造を有する結晶で代表的なものは、例えば、 $Pb_{1-x}Ti_xO_3$ ($0 \leq x \leq 1$) の一般式で示されるPZTが挙げられる。さらに、 $Pb_{1-y}La_yZr_{1-x}Ti_xO_3$ ($0 \leq x, y \leq 1$) の一般式で示されるPLZT、さらに $Pb(B'_{1/3}B''_{2/3})_xTi_yZr_{1-x-y}O_3$ ($0 \leq x, y \leq 1$ 、 B' ：2価の金属、 B'' ：5価の金属)

、 $Pb(B'_{1/2}B''_{1/2})_xTi_yZr_{1-x-y}O_3$ ($0 \leq x, y \leq 1$ 、 B' : 3 値の金属、 B'' : 5 値の金属) 、 又は $Pb(B'_{1/2}B''_{1/2})_xTi_yZr_{1-x-y}O_3$ ($0 \leq x, y \leq 1$ 、 B' : 2 値の金属、 B'' : 6 値の金属) の一般式で示される結晶が挙げられる。 P Z T と比較してより大きな残留分極が得られる点で好適である。

【0037】

また、 ビスマス層状構造を有する結晶で代表的なものは、 例えば、 $SrBiTa_2O_9$ (S B T) 、 $BiLaTi_3O_{12}$ (B L T) が挙げられる。 タングステンブロンズ構造を有する結晶で代表的なものは、 例えば、 $Ba_2NaNb_3O_{15}$ 、 $Ba_{1-x}Sr_xNb_2O_6$ 等が挙げられる。

【0038】

強誘電体キヤパシタ 26 の電極 25 A, 25 B は、 例えば厚さ 200 nm であり、 白金族の元素である Pt、 Ru、 Rh、 Pd、 Os、 Ir、 及び Ti、 さらにこれらの合金、 IrO_2 、 RuO_2 、 $SrRuO_3$ 、 $CaRuO_3$ 、 $LaRuO_3$ 、 $La_xSr_{1-x}CoO_3$ ($0 \leq x \leq 1$) 、 $La_xSr_{1-x}MnO_3$ ($0 \leq x \leq 1$) などの導電性酸化物から選択される。 さらにこれらの積層体でもよく、 強誘電体膜 22 側を上記の導電性酸化物層とした、 例えば Ir/IrO_2 などでも良い。 酸化物層 14 の分極反転を繰り返すと、 電極 25 A, 25 B と強誘電体膜 22 との界面の酸素欠損等の格子欠陥に起因して、 強誘電体膜 22 の残留分極が劣化することがある。 電極 25 A, 25 B と強誘電体膜 22 との間に導電性酸化物層を形成することにより残留分極の劣化を抑制し、 信頼性を高めることが可能となる。

【0039】

さらに本発明では電極 25 A, 25 B 上に強誘電体膜 22 をエピタキシャル成長させる必要がないので、 W、 Al、 Cu 等の金属等を用いることができ、 電極材料の選定の幅が広い。

【0040】

次に、 本発明の実施の形態に係る F R A M の製造方法について説明する。

【0041】

図 6 (A) ~ 図 9 (K) は、 本実施の形態に係る F R A M の製造工程を示す断

面図である。このうち、図6（A）～図7（E）は、単結晶基板上に強誘電体キヤパシタ26を形成する工程、図7（F）及び（G）の工程はFRAMの半導体基板上にトランジスタ等を形成する工程、図8（H）～図9（K）は、単結晶基板と半導体基板を貼り合わせてFRAMを形成する工程を示す。

【0042】

図6（A）の工程では、単結晶基板21、例えばMgO基板の（100）面上に強誘電体膜22、例えばPZT膜をエピタキシャル成長させる。具体的には、MgOの（100）面の清浄化処理を行い、次いでPZT膜をMgO基板の（100）面にエピタキシャル形成させる。PZT膜は、MO CVD法（有機金属CVD法）、MBE法（分子線エピタキシ法）、PLD法（パルスレーザ堆積法）、ゾルゲル法などにより形成することができる。ここではゾルゲル法を用いて説明する。Pbを過剰に添加したPZT薄膜形成剤（PZT113/45/55、濃度15質量%）をMgO基板上に約0.3cm³滴下し、3000rpm 20秒間回転させた。ここでPZT113/45/55は、Pb、Zr及びTiのモル濃度比がそれぞれ113:45:55であることを示す。次いで、PZT薄膜形成剤を塗布後の基板をホットプレート上で350°C 1分間加熱して、PZT薄膜形成剤の溶剤を揮発させ、次いで室温まで冷却する。なお、単結晶基板21は、MgO基板に限定されず、SrTiO₃基板、サファイア基板、又はマグネシアスピネル（MgAl₂O₄）基板でもよい。これらの単結晶基板の結晶面は上述した（100）面のみならず（010）面でも良い。単結晶基板の主面と平行に[001]方位が形成されるので、残留分極が最大となる（001）面に電極25A、25Bを形成することができる。

【0043】

図6（A）の工程ではさらに、RTA処理例えはハロゲンランプアニール装置によりPZT膜を結晶化させる。具体的には、ハロゲンランプアニール装置に基板を配置して、酸素ガスを5sccm流しながら、650°C、10分間加熱して、PZT膜22を結晶化させた。結晶化後のPZT膜の厚さを***nmに設定した。なお、1回の塗布・結晶化により所望の厚さに達しない場合は、繰り返し行っても良い。結晶性への影響は少なく、塗布毎のPZT膜間においてもエピタ

キシャル成長させることができる。また、P Z T膜22の結晶化により、P Z T膜22とMgOの単結晶基板との結晶学的な関係は、P Z T膜(100)面//MgO基板(100)面、膜面内の方位はP Z T膜[001]//MgO基板[001]となる。

【0044】

また、例えばMOCVD法によりP Z T膜を形成する場合は、Pbの原料を例えばPb(C₁₁H₁₉O₂)₂、Zrの原料を例えばZr(C₁₁H₁₉O₂)₄、Tiの原料を例えばTi(OiC₃H₇)₂(C₁₁H₁₉O₂)₂を用いる。これらの原料は総て室温で固体であるので、P Z T膜の組成にあわせて加熱温度を設定し、キャリアガスにHeを用いて昇華させて形成することもでき、また、より一般的には、これらの原料を有機溶媒(THF(テトラヒドロフラン)など)に溶解し、その溶液をマスフローコントローラ(MFC)などで、加熱された気化室に輸送し一瞬のうちに気化させることにより形成される。

【0045】

図6(A)の工程ではさらに、MgOの単結晶基板21の結晶方位によりP Z T膜22の面方位を特定して(001)面を露出させる研削を行う。P Z T膜はMgOの単結晶基板21にcube-on-cubeにエピタキシャル成長しているので、MgO単結晶基板21の(001)面とP Z T膜の(001)面は平行になっている。MgO基板の(001)面を基準にして、レジスト23によりパターニングして、硝酸溶液とフッ酸溶液によりウエットエッチングにより研削してP Z T膜の(001)面22-1を露出させる。

【0046】

次に図6(B)の工程では、図6(A)の構造体を覆うレジスト24を形成し、パターニングによりP Z T膜の(001)面に電極を形成するための開口部24-1を設ける。

【0047】

図6(B)の工程ではさらに、スパッタ法などにより上述した電極材料、例えばIrを用いてIr膜を堆積させ電極25A、25Bを形成する。Ir膜の厚さを200nmに設定する。以上により、P Z T膜22及び電極25A、25Bより

なる強誘電体キャパシタ26が形成される。なお、Ir膜を成膜する前にPZT膜の(001)面にIrO₂を成膜してもよい。PZT膜表面の酸素欠損による格子欠陥の発生を防止することにより分極劣化を防止し、書き換え可能回数を増加することができる。

【0048】

次に図6(C)の工程では、図6(B)のレジスト24をその上のIr膜25-1と共にリフトオフし、強誘電体キャパシタ26および単結晶基板21を覆うようにTEOS(tetraethyl ortho silicate)等によりシリコン酸化膜よりなる層間絶縁層27をCVD法により形成する。なお、層間絶縁膜はTEOSによるシリコン酸化膜に限られず、SiOF膜、BPSG膜を用いることができるが、TEOS、さらにTEOSとオゾンを用いたCVD法により形成することが好適である。低温で形成することができ、被覆性も良好なので、強誘電体キャパシタ26に熱的な損傷を与えずに充分に被覆することができる。

【0049】

図6(C)の工程ではさらに、シリコン窒化膜などよりなるストップ膜28を形成し、ホトリソ及びエッチング工程により一方の電極25A上、及びビアプラグが形成される部分のストップ膜28に開口部28-1、28-2を設ける。

【0050】

図6(C)の工程ではさらに、ストップ膜28表面に層間絶縁膜29を形成し、さらにストップ膜30を形成する。レジスト31を形成し、RIE法などのエッチングにより開口部30-1、30-2を設ける。

【0051】

次に図6(D)の工程では、図6(C)のレジスト31を除去して、ストップ膜28、30をマスクとして、RIE法により層間絶縁膜27、29を貫通して、電極25Aおよび単結晶基板21が露出するビア27-1、27-2を形成する。

【0052】

次に図7(E)の工程では、図6(D)の構造体の表面及びプラグ27-1、

27-2 内壁等にスパッタ法により TiNなどの密着膜31を形成する。次いで、CVD法、スパッタ法、メッキ法などによりW、Cu、Al等の導電材により、ビアを埋め込みビアプラグ32、33を形成する。

【0053】

図7 (E) の工程ではさらに、CMP法などにより図6 (D) に示すストッパ膜30を研磨ストッパとして、導電材を研磨して層間絶縁膜の上面とビアプラグ表面を同一面となるように平坦にする。次いで研磨剤等を変更してストッパ膜30を研磨して、層間絶縁膜29を露出させる。貼り合わせ後の電気的接続の観点からは、層間絶縁膜29の表面29Aは平坦度が可能な限り小さいことが望まれる。

【0054】

次に図7 (F) の工程では、半導体装置の本体となるシリコン基板41等に公知の方法により、素子分離膜42をSTIにより形成し、素子領域47には、ワード線としてのゲート電極43と、ソース／ドレイン領域44、45からなるトランジスタT₁を形成する。

【0055】

次に図7 (G) の工程では、図7 (F) の構造体の上にSiN膜46を形成し、さらにSiN膜46上に全体を覆う層間絶縁膜48を形成する。層間絶縁膜48は、TEOSなどを用いてCVD法などにより厚さ500nm形成する。

【0056】

図7 (G) の工程ではさらに、ホトリソ及びエッチング工程により層間絶縁膜48にソース／ドレイン領域44、45を露出させるコンタクトホール49、50を形成する。

【0057】

図7 (G) の工程ではさらに、コンタクトホール49、50及び層間絶縁膜48の表面にスパッタ法によりTiNなどの密着膜51を形成する。次いで、CVD法、スパッタ法、メッキ法などによりW、Cu、Al等の導電材により、コンタクトホール49、50を埋め込みコンタクトプラグ51、52を形成する。

【0058】

図7 (G) の工程ではさらに、CMP法などにより導電材を研磨して層間絶縁膜48の上面とコンタクトプラグ51, 52表面を同一面となるように平坦にする。貼り合わせ後の電気的接続の観点からは、層間絶縁膜48の表面48Aは平坦度が可能な限り小さいことが望まれる。

【0059】

次に図8 (H) の工程では、図7 (E) の構造体35と図7 (G) の構造体55とを、それぞれの層間絶縁膜29, 48の表面29A, 48A同士を貼り合わせる。貼り合わせる手法は、特許第2738012号公報、特許第2584639号公報に開示される基板貼り合わせの技術を用いることができる。ただし、単結晶基板21及び半導体基板41を加熱する温度は、120°C~450°Cに設定する。層間絶縁膜29, 48は同種の材料を用いているので容易に接着することができる。

【0060】

また、基板貼り合わせる際の位置は予め単結晶基板21及び半導体基板41に位置合わせ用のマークを設けることにより行う。構造体35のビアプラグ32と構造体55のコンタクトプラグ52、構造体35のビアプラグ33と構造体55のコンタクトプラグ53とがそれぞれ接続されるようにする。

【0061】

次に図8 (I) の工程では、単結晶基板21のMgO基板を除去して強誘電体キャパシタ26及びビアプラグ33を露出させる。具体的には、希塩酸によりMgO基板を溶解する。なお、単結晶基板21がSi基板の場合は同様に溶解することができ、サファイア基板の場合は機械的、あるいはCMP法により除去可能である。

【0062】

図8 (I) の工程ではさらに、単結晶基板を除去した表面に層間絶縁膜56, 59及びストッパ膜58を形成し、図6 (D) 及び図7 (E) で説明した工程と同様にして、TiN膜よりなる密着膜60を層間絶縁膜との境界に有する、電極25Bに接続されるビアプラグ61と、ビアプラグ33と接続されるビアプラグ62を形成する。

【0063】

次に図9（J）の工程では、図8（I）の構造体上に層間絶縁膜63を形成し、ホトリソ及びエッティング工程により層間絶縁膜中にプレーナ線用の溝64をビアプラグ61上に、ビアプラグ62上にビア65を形成し、W等の導電材で埋め込み、CMP法により層間絶縁膜63が露出するまで研磨し、ビアプラグ68, 69を形成する。

【0064】

次に図9（K）の工程では、図9（J）の構造体上に層間絶縁膜70を形成し、ダマシン法によりビアプラグ69, 62, 33及びコンタクトプラグ53を介してソース／ドレイン領域45に接続されるビット線72を形成する。さらにビット線及び層間絶縁膜72の表面に保護膜74を形成する。以上により図5に示す本実施の形態のF R A M 2 0が形成される。

【0065】

次に本実施の形態の第1変形例について説明する。本変形例は、強誘電体膜を形成する単結晶基板を積層体に替えた以外は上記の実施の形態と同様である。

【0066】

図10は、第1変形例に係る強誘電体膜が形成された積層体の断面図である。図10を参照するに、本変形例の積層体80は、（100）面または（010）面を正面とするシリコン単結晶基板81上に、バッファ層82及び強誘電体膜83が順次堆積された構造となっており、バッファ層82はシリコン単結晶基板81上にエピタキシャル成長し、強誘電体膜83はバッファ層にエピタキシャル成長されている。

【0067】

バッファ層は、MgO層、イットリウム安定化ZrO₂層（YSZ）、SrTiO₃層、マグネシアスピネル（MgAl₂O₄）層又はCaO層よりなり、シリコン単結晶基板上にエピタキシャル成長された層である。バッファ層は、シリコン単結晶基板の（100）面である場合は（100）面が成長し、（010）面である場合は（010）面が成長される。バッファ層はMBE法、CVD法、スパッタ法等を用い、厚さ30nmから800nmに成長させる。具体的には、例

えば、CVD法を用いてMgAl₂O₄層を形成する場合は、MgAl₂O₄層の構成元素を、各々のソースチャンバ内で加熱して蒸発させ、キャリアガスにより成膜チャンバ内に送り、単結晶基板11を750℃～1050℃に加熱し、成膜速度5nm／分～30nm／分に設定して厚さ80nm～600nm形成する。

【0068】

強誘電体膜83は、バッファ層82上に、本実施の形態において説明したMO CVD法、MBE法、PLD法、ゾルーゲル法などにより形成することができる。形成方法の詳細は同様であるので省略する。強誘電体膜83は、バッファ層が(100)面の場合は(100)面がエピタキシャル成長し、(010)面の場合は(010)面が成長する。したがって、いずれの場合も分極軸方向である[001]方向は単結晶基板と平行になる。強誘電体キャパシタを形成するためには、図6(A)及び(B)の工程と同様に、強誘電体膜83の面方位を特定して(001)面を露出させ、電極を形成すればよい。

【0069】

本変形例によれば、単結晶基板にシリコン基板を用いることにより、直径が300mmの大きなサイズの単結晶基板が安価に入手可能であるので、半導体装置の製造コストを低減することができる。

【0070】

なお、シリコン単結晶基板はオフセット角をもって傾斜した基板(微傾斜基板)を用いても良い。オフセット角を有しないシリコン単結晶基板の場合、微少な凹凸により、ある一方向の断面をみると上りのステップと下りのステップが生じていることがある。このような基板表面にバッファ層をエピタキシャル成長させると、上りのステップと下りのステップに横方向に成長した原子層がぶつかり、結晶粒界が発生してしまう。しかし、微傾斜基板を用いた場合は、このような現象は生じないため、より良質の結晶を得ることができる。さらに、バッファ層82の上に形成される強誘電体膜83の結晶性についても同様であり、バッファ層の結晶性が良質であればある程、強誘電体膜83の結晶性が良好とすることができる。結晶性の観点からはオフセット角は、0.8°～4°であることが好ましい。

【0071】

次に本実施の形態の第2変形例について説明する。本変形例は、第1変形例のバッファ層と強誘電体膜83との間にさらに他のバッファ層84を形成した以外は第1変形例と同様である。

【0072】

図11は、第2変形例に係る強誘電体膜を形成した積層体の断面図である。図11中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0073】

図11を参照するに、本変形例の積層体84は、(100)面または(010)面を正面とするシリコン単結晶基板81上に、バッファ層82、他のバッファ層84及び強誘電体膜83が順次堆積された構造となっており、バッファ層82はシリコン単結晶基板81上にエピタキシャル成長され、他のバッファ層85はバッファ層82上にエピタキシャル成長され、強誘電体膜83は他のバッファ層85上にエピタキシャル成長されている。

【0074】

他のバッファ層85は、例えば厚さ60nm～240nmのSrRuO₃層、YBa₂Cu₃O_{7-δ}(YBCO)層又はLa_{2-x}S_xCuO₄(LSCO)層を用いることができる。他のバッファ層85はバッファ層83と同様に形成することができる。他のバッファ層85を設けることにより、バッファ層82と強誘電体膜83との格子定数の差違を低減することができ、より良質な結晶性を有する強誘電体膜83を形成することができる。

【0075】

次に、本実施の形態の第3変形例について説明する。本変形例は、上述した本実施の形態の強誘電体キャパシタ26を複数の強誘電体キャパシタを並列に接続した短冊形の強誘電体キャパシタに替えた以外は本実施の形態と同様である。

【0076】

図12(A)は、第3変形例に係る強誘電体キャパシタの平面図、(B)は(A)のX-X断面図である。

【0077】

図12 (A) を参照するに、強誘電体キャパシタ86は、単結晶基板21上に形成され、強誘電体膜87と強誘電体膜87を挟む電極88A, 88Bより構成され、平行平板型の強誘電体キャパシタが4個並列に接続されている。

【0078】

強誘電体膜87及び電極88A, 88Bは、上述した図6 (A) 及び (B) の工程において、レジスト23, 24のパターニングを変更することにより形成することができ、他の工程は本実施の形態において説明した方法と同様である。

【0079】

本変形例によれば、強誘電体キャパシタ86が並列に接続されているので、残留分極の総和を大きくすることができ、同一電荷を得るための動作電圧を低下させることができ。同時に消費電力を低減すると共に信頼性の高い半導体装置を形成することができる。

【0080】

以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内において、種々の変形・変更が可能である。例えば、実施の形態の第1及び第2変形例と、第3変形例は組み合わせができる。

【0081】

なお、以上の説明に関して更に以下の付記を開示する。

(付記1) 強誘電体膜と、該強誘電体膜を挟む一対の電極とよりなる容量素子であって、

前記強誘電体膜の分極軸方向に垂直に前記一対の電極が設けられていることを特徴とする容量素子。

(付記2) 前記一対の電極が平板であり、かつ互いに略平行であることを特徴とする付記1記載の容量素子。

(付記3) 前記強誘電体膜はエピタキシャル膜であることを特徴とする付記1または2記載の容量素子。

(付記4) 前記強誘電体膜はペロブスカイト構造、ビスマス層状構造、タンゲ

ステンブロンズ構造を有することを特徴とする付記1～3のうち、いずれか一項記載の容量素子。

(付記5) 前記強誘電体膜は、PZTまたはPZTにLa、Ca、Sr、Nbを添加した材料よりなることを特徴とする付記1～4のうち、いずれか一項記載の容量素子。

(付記6) 前記電極はPt、Ir、Ti若しくはRu、またはこれらのいずれかの酸化物よりなることを特徴とする付記1～5のうち、いずれか一項記載の容量素子。

(付記7) 半導体基板と、前記半導体基板上に強誘電性を有する強誘電体膜と前記強誘電体膜を挟む一対の電極とよりなる容量素子とを有する半導体装置であって、

前記強誘電体膜の分極軸方向に垂直に前記一対の電極が設けられていることを特徴とする半導体装置。

(付記8) 半導体基板と、

前記半導体基板に形成されたゲート電極及び拡散領域よりなるトランジスタと

前記半導体基板及びトランジスタを覆う第1の層間絶縁膜と、

前記第1の層間絶縁膜上に設けられた第2の層間絶縁膜と、

前記第2の絶縁膜中に形成された強誘電体膜及び該強誘電体膜を挟む一対の電極とよりなる容量素子とを含む半導体装置であって、

前記強誘電体膜の分極軸方向に垂直に前記一対の電極が設けられていることを特徴とする半導体装置。

(付記9) 前記分極軸方向が半導体基板の主面と略平行であることを特徴とする付記7または8記載の半導体装置。

(付記10) 前記強誘電体膜はエピタキシャル膜であることを特徴とする付記7～9のうち、いずれか一項記載の半導体装置。

(付記11) 前記強誘電体膜はペロブスカイト構造、ビスマス層状構造、タンゲステンブロンズ構造を有することを特徴とする付記7～10のうち、いずれか一項記載の半導体装置。

(付記 12) 強誘電性を有する強誘電体膜と、該強誘電体膜を挟む一対の電極とよりなる容量素子を備えた半導体装置の製造方法であって、

第1の基板に強誘電性を有する強誘電体膜を堆積する工程と、

前記強誘電体膜を研削し、その分極軸方向に垂直に一対の電極を形成して前記容量素子を形成する工程と、

前記第1の基板表面及び容量素子を覆う第1の層間絶縁膜を形成する工程と、

第2の基板にゲート電極及び拡散領域よりなるトランジスタを形成する工程と、

前記第2の基板表面及びトランジスタを覆う第2の層間絶縁膜を形成する工程と、

第1及び第2の層間絶縁膜の表面を化学的機械研磨により平坦化する工程と、

第1及び第2の層間絶縁膜の表面を貼り合わせて第1の基板と第2の基板とを一体化する工程と、

第1の基板を除去する工程とを備えた半導体装置の製造方法。

(付記 13) 前記容量素子を形成する工程において、前記一対の電極を前記強誘電体膜の分極軸に垂直に形成することを特徴とする付記 12 記載の半導体装置の製造方法。

(付記 14) 前記第1の基板は、(100)面または(010)を主面とする単結晶基板であることを特徴とする付記 12 または 13 記載の半導体装置の製造方法。

(付記 15) 前記第1の基板は、(100)面または(010)面からオフセット角と有して傾斜した基板であることを特徴とする付記 14 記載の半導体装置の製造方法。

(付記 16) 前記第1の基板は、MgO、SrTiO₃、 α -Al₂O₃、及びMgAl₂O₄の群のうち1種よりなることを特徴とする付記 14 または 15 記載の半導体装置の製造方法。

(付記 17) 前記第1の基板上に更にバッファ層が形成され、

前記第1の基板がSi基板よりなり、

前記バッファ層がMgO層、イットリウム安定化ZrO₂層、SrTiO₃層、MgAl₂O₄層及びCaO層の群のうちいずれか1種よりなることを特徴とする付記12～15のうち、いずれか一項記載の半導体装置の製造方法。

(付記18) 前記第1の基板上に更にバッファ層が形成され、

前記第1の基板がSi基板よりなり、

前記バッファ層がSrRuO₃層、YBa₂Cu₃O_{7-δ}層、及びLa_{2-x}Sr_xCuO₄層の群のうちいずれか1種よりなることを特徴とする付記12～15のうち、いずれか一項記載の半導体装置の製造方法。

(付記19) 前記バッファ層に更に他のバッファ層が形成され、

前記バッファ層がMgO層であり、

前記他のバッファ層がSrRuO₃層、YBa₂Cu₃O_{7-δ}層、及びLa_{2-x}S_xCuO₄層の群のうちいずれか1種よりなることを特徴とする付記17記載の半導体装置の製造方法。

【0082】

【発明の効果】

以上詳述したところから明らかなように、本発明によれば、強誘電体膜の分極軸方向に電極を設けているので、より大きな残留分極電荷量が得られる容量素子、及びその容量素子を備えた信頼性の高い半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】

従来のFRAMの強誘電体キャパシタの構成を示す図である。

【図2】

ペロブスカイト構造を示す図である。

【図3】

本発明の原理を説明する図である。

【図4】

本発明の実施の形態に係るFRAMの等価回路の一例を示す図である。

【図5】

本発明の実施の形態に係るF R A Mの断面図である。

【図6】

(A)～(D)は本実施の形態に係るF R A Mの製造工程(その1)を示す断面図である。

【図7】

(E)～(G)は本実施の形態に係るF R A Mの製造工程(その2)を示す断面図である。

【図8】

(H)及び(I)は本実施の形態に係るF R A Mの製造工程(その3)を示す断面図である。

【図9】

(J)及び(K)は本実施の形態に係るF R A Mの製造工程(その4)を示す断面図である。

【図10】

本実施の形態の第1変形例に係る強誘電体膜が形成された積層体の断面図である。

【図11】

本実施の形態の第2変形例に係る強誘電体膜が形成された積層体の断面図である。

【図12】

(A)は本実施の形態の第3変形例に係る強誘電体キャパシタの平面図、(B)は(A)のX-X断面図である。

【符号の説明】

10、21、81 単結晶基板

11、22、87、101 強誘電体膜

12、25A、25B、88A、88B、101、103 電極

13、26、86 強誘電体キャパシタ

14 メモリセル

20 F R A M

27、29、48、59、63、70 層間絶縁膜

41 半導体基板

43 ゲート電極

44 ソース／ドレイン領域

32、33、61、62、68、69 ビアプラグ

52、53 コンタクトプラグ

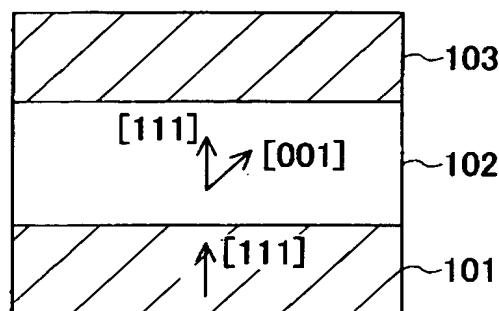
80、84 強誘電体膜が形成された積層体

82、85 バッファ層

【書類名】 図面

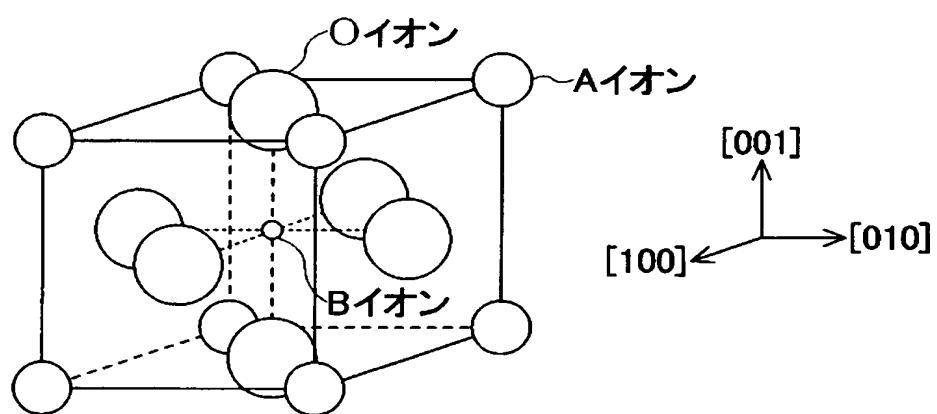
【図1】

従来のFRAMの強誘電体キャパシタの構成を示す図

100

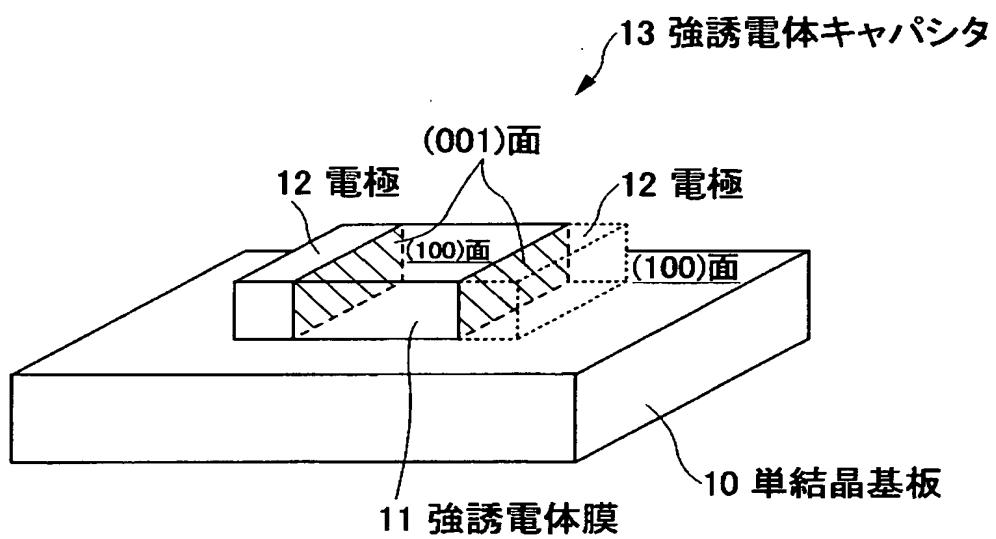
【図2】

ペロブスカイト構造を示す図



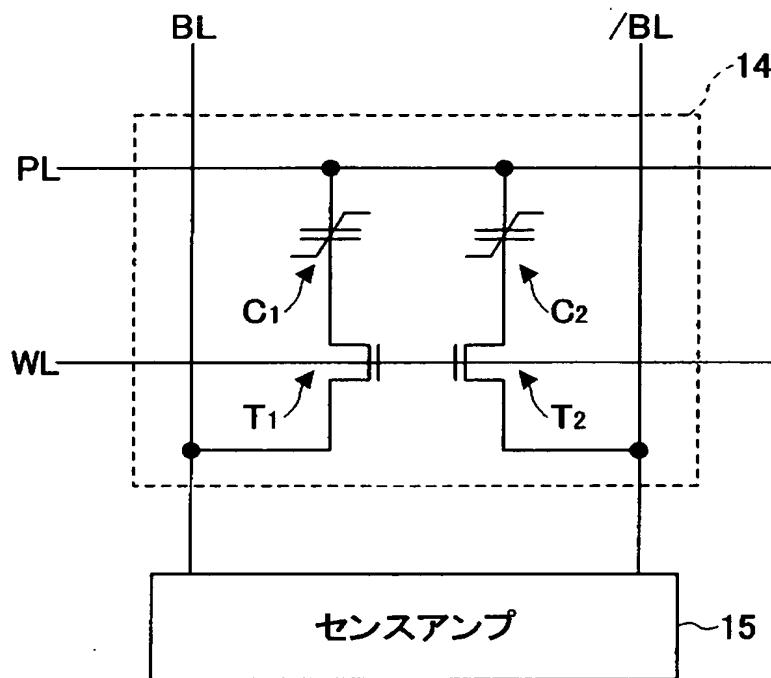
【図3】

本発明の原理を説明する図



【図4】

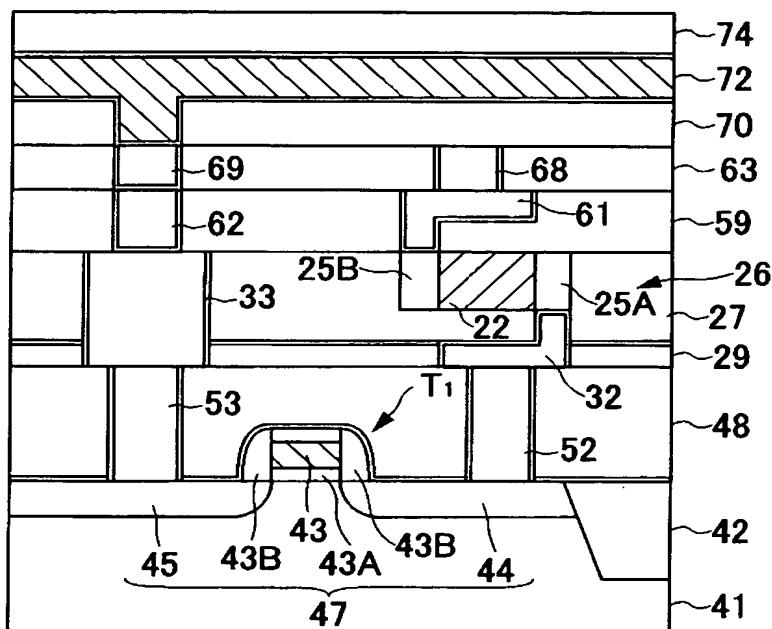
本発明の実施の形態に係るFRAMの等価回路の一例を示す図



【図5】

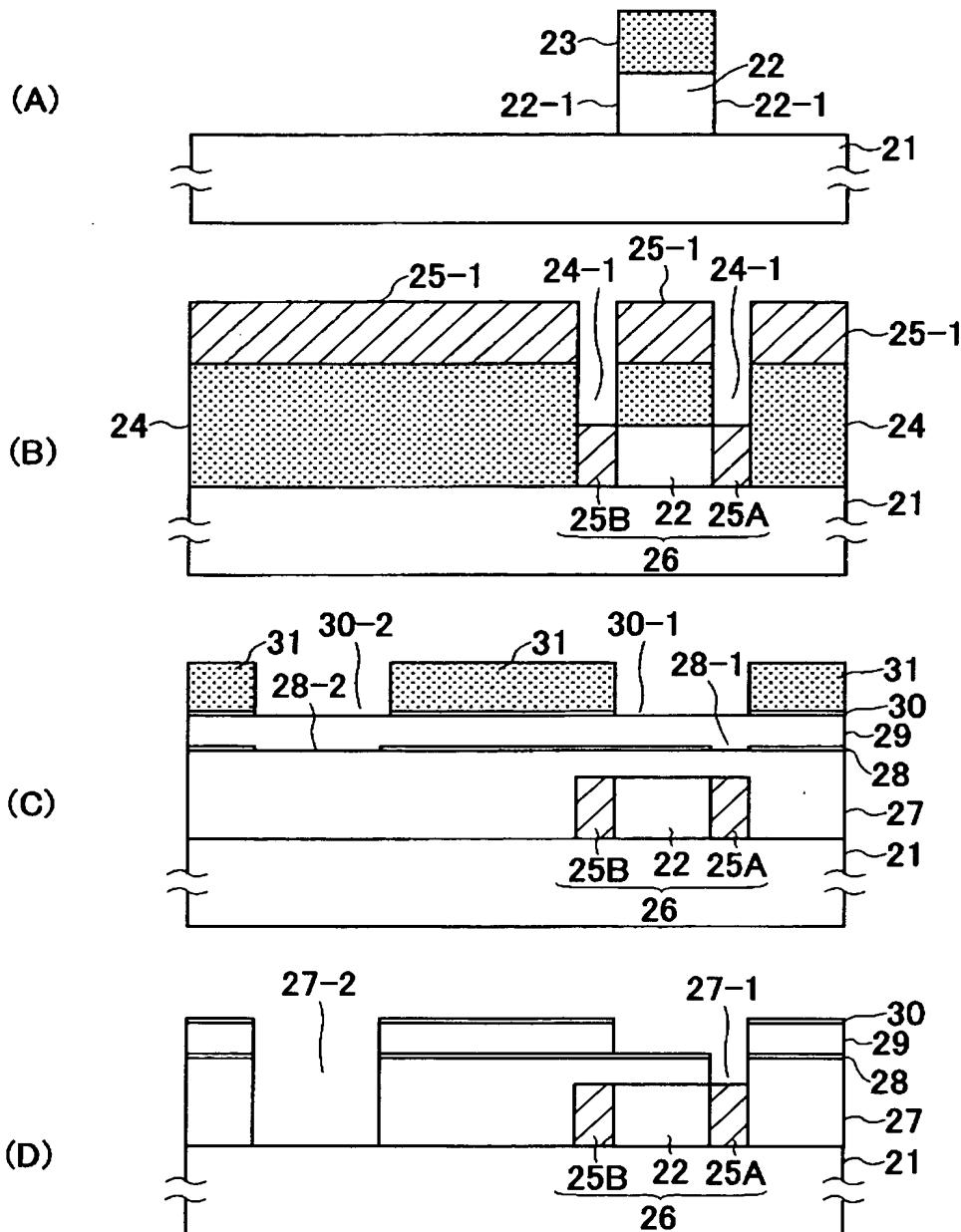
本発明の実施の形態に係るFRAMの断面図

20



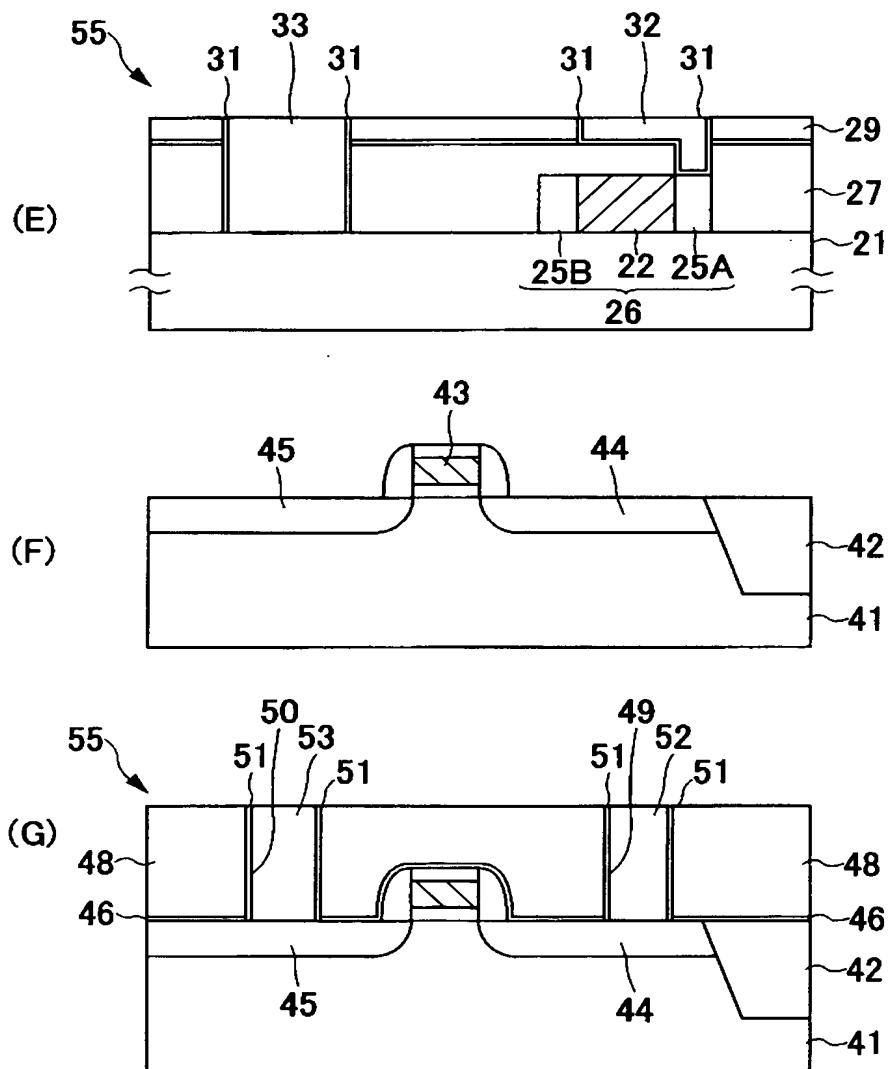
【図 6】

(A)～(D)は本実施の形態に係る
FRAMの製造工程(その1)を示す断面図



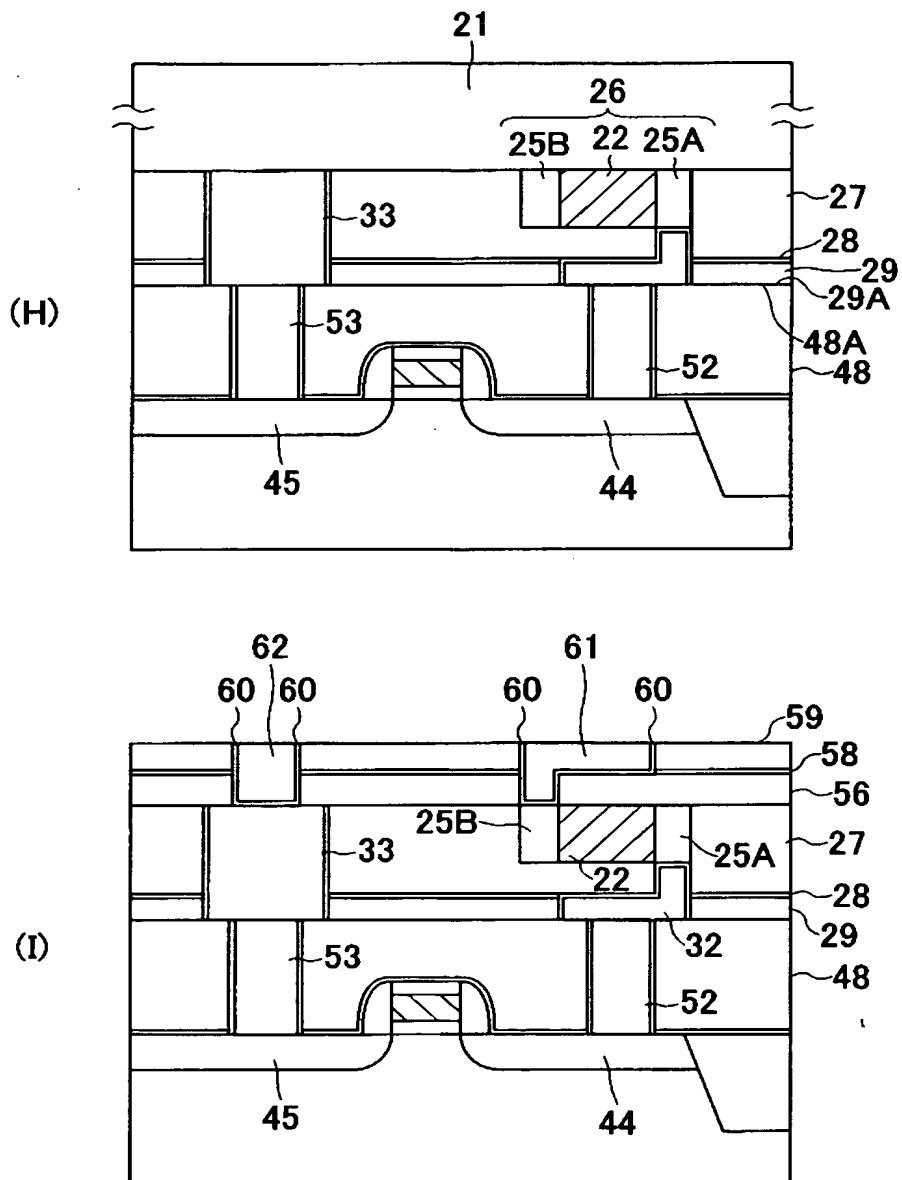
【図 7】

(E)～(G)は本実施の形態に係る
FRAMの製造工程(その2)を示す断面図



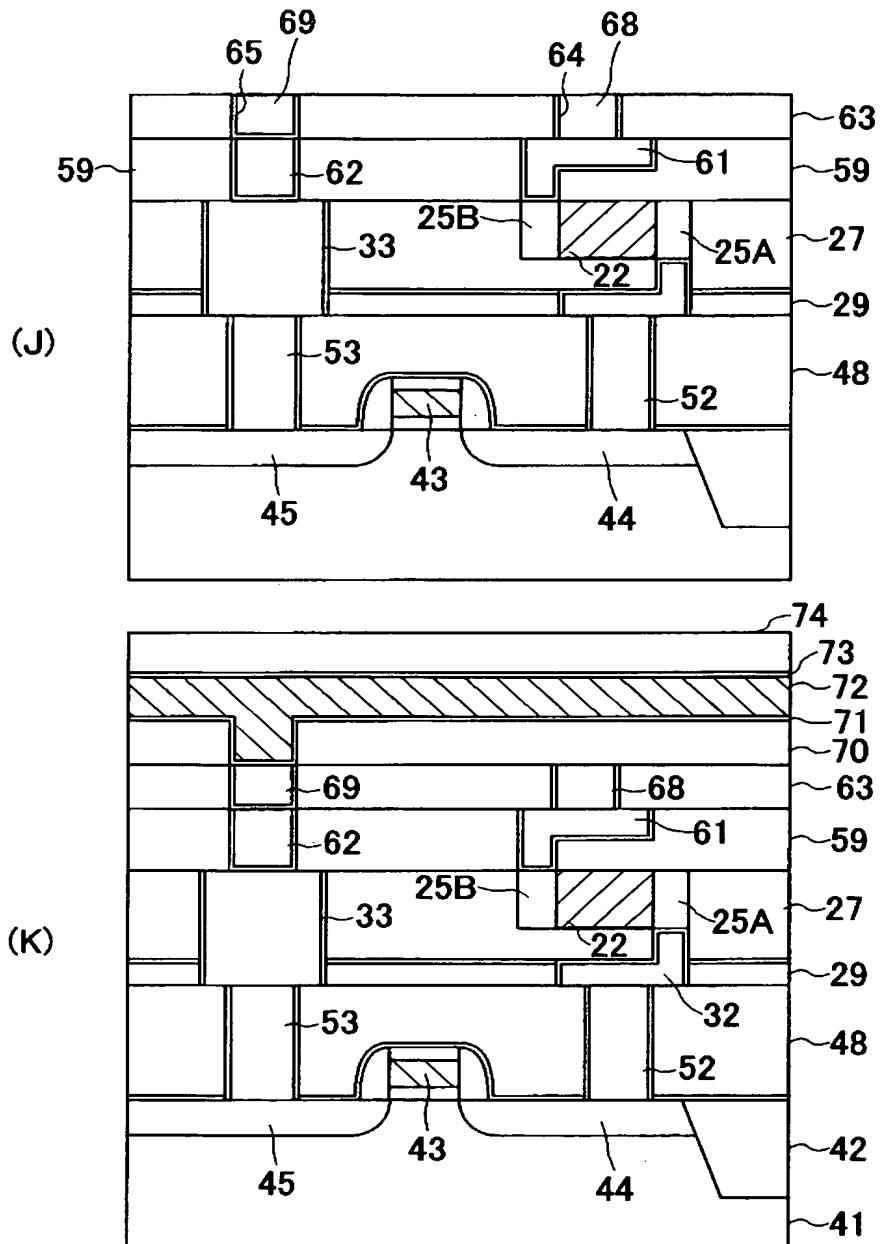
【図 8】

(H)及び(I)は本実施の形態に係る
FRAMの製造工程(その3)を示す断面図



【図9】

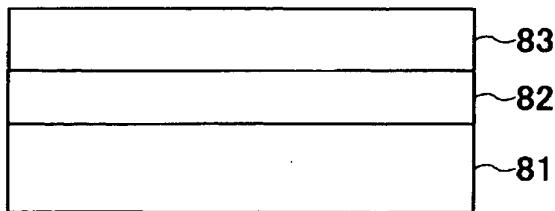
(J)及び(K)は本実施の形態に係る
FRAMの製造工程(その4)を示す断面図



【図10】

本実施の形態の第1変形例に係る
強誘電体膜が形成された積層体の断面図

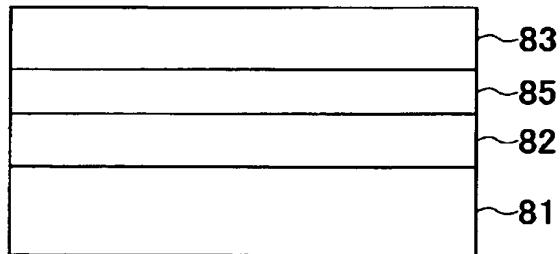
80



【図11】

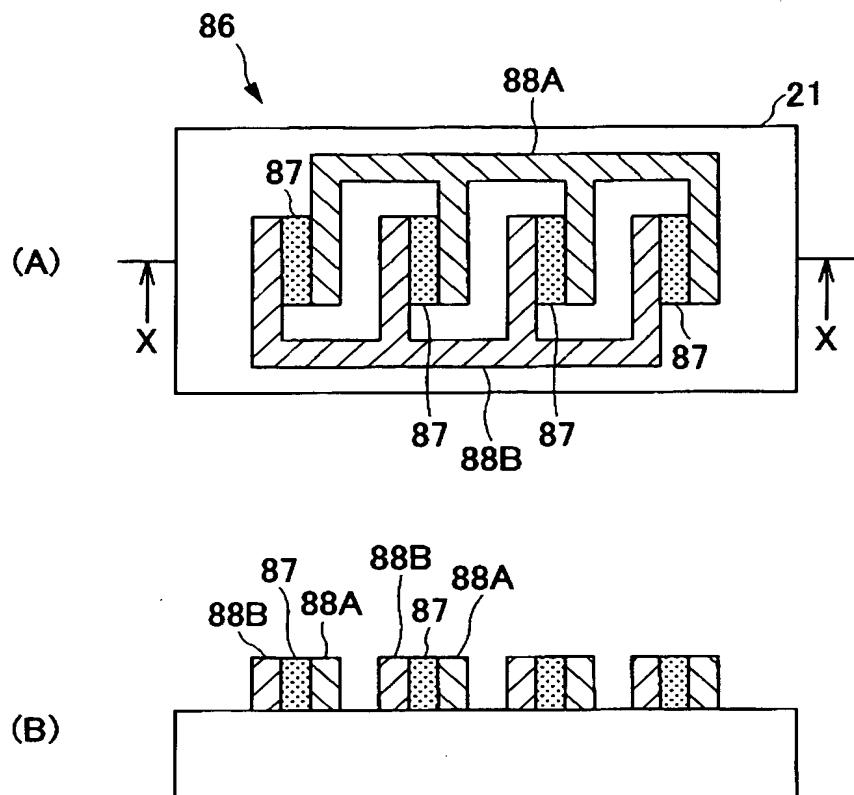
本実施の形態の第2変形例に係る
強誘電体膜が形成された積層体の断面図

84



【図12】

(A)は本実施の形態の第3変形例に係る強誘電体
キャパシタの平面図、(B)は(A)のX-X断面図



【書類名】 要約書

【要約】

【課題】 より大きな残留分極電荷量が得られる容量素子、及びその容量素子を備えた信頼性の高い半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板41と、半導体基板に形成されたワード線をゲート電極43とするトランジスタと、電極25A, 25Bに挟まれた強誘電体膜22よりなる強誘電体キャパシタ26と、ビット線72と、プレーナ線68と、ソース／ドレイン領域44と強誘電体キャパシタ26およびビット線72等とを接続するコンタクトプラグ52, 53及びビアプラグ32, 33, 52, 53, 61, 62, 68, 69などにより構成し、電極25A, 25Bは強誘電体膜22の分極軸方向に垂直に設ける。

【選択図】 図5

特願 2002-358093

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区上小田中1015番地
氏 名 富士通株式会社

2. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社